

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Haruo FURUTA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231



SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2000-381822

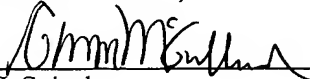
December 15, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年12月15日

出 願 番 号

Application Number:

特願2000-381822

出 願 人

Applicant (s):

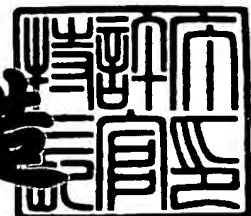
三菱電機株式会社

3/Priority
paper
P. Walker
5-13-02

2001年 1月19日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3112398

【書類名】 特許願

【整理番号】 527991JP01

【提出日】 平成12年12月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 古田 陽雄

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 山下 朋弘

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の表面内に選択的に配設された分離絶縁膜と、

前記分離絶縁膜によって規定される第 1 および第 2 の活性領域上に配設される第 1 および第 2 のトランジスタを備えた半導体装置であって、

前記第 1 のトランジスタは、

前記第 1 の活性領域上に選択的に配設された第 1 の厚さを有する第 1 のゲート絶縁膜を有し、

前記第 2 のトランジスタは、

前記第 2 の活性領域上に選択的に配設された第 2 の厚さを有する第 2 のゲート絶縁膜を有し、

前記第 1 の厚さは前記第 2 の厚さよりも厚く、

前記第 1 または第 2 の活性領域を規定する前記分離絶縁膜の、前記第 1 または第 2 の活性領域側の端縁部が抉れ、前記第 1 または第 2 の活性領域の端縁部の周囲に窪み部を備え、

前記窪み部の深さは、該窪み部の深さの変化に対する前記第 1 または第 2 のトランジスタのしきい値電圧の変動特性において、前記第 1 または第 2 のトランジスタのしきい値電圧がほぼ一定となる深さに設定される、半導体装置。

【請求項 2】 前記第 1 または第 2 のトランジスタのしきい値電圧がほぼ一定となる深さは、

前記第 1 または第 2 のトランジスタのしきい値電圧の変動幅が、前記変動特性における最大変動幅の 5 ないし 10 % の範囲となる深さである、請求項 1 記載の半導体装置。

【請求項 3】 半導体基板と、

前記半導体基板の表面内に選択的に配設された分離絶縁膜と、

前記分離絶縁膜によって規定される第 1 および第 2 の活性領域上に配設される第 1 および第 2 のトランジスタを備えた半導体装置であって、

前記第 1 のトランジスタは、

前記第 1 の活性領域上に選択的に配設された第 1 の厚さを有する第 1 のゲート絶縁膜を有し、

前記第 2 のトランジスタは、

前記第 2 の活性領域上に選択的に配設された第 2 の厚さを有する第 2 のゲート絶縁膜を有し、

前記第 1 の厚さは前記第 2 の厚さよりも厚く、

前記第 1 または第 2 の活性領域を規定する前記分離絶縁膜の、前記第 1 または第 2 の活性領域側の端縁部が抉れ、前記第 1 または第 2 の活性領域の端縁部の周囲に窪み部を備え、

前記窪み部の深さは、

前記第 1 の活性領域の主面表面から前記窪み部の最深部までの垂直方向の長さで規定され、

前記窪み部の深さは 1 0 n m 以上である、半導体装置。

【請求項 4】 (a)半導体基板の表面内に選択的に分離絶縁膜を形成し、第 1 および第 2 の活性領域を規定する工程と、

(b)全面に渡ってシリコン窒化膜を形成する工程と、

(c)前記第 1 の活性領域上および、その周囲の前記分離絶縁膜の前記第 1 の活性領域側の端縁部上から前記シリコン窒化膜を除去する工程と、

(d)残りの前記シリコン窒化膜をマスクとして、前記第 1 の活性領域の周囲の前記分離絶縁膜の前記第 1 の活性領域側の端縁部を除去して、前記第 1 の活性領域の端縁部の周囲に窪み部を形成する工程と、

(e)前記第 1 の活性領域の表面に絶縁膜を形成する工程と、

(f)残りの前記シリコン窒化膜を除去した後、前記絶縁膜を厚くして第 1 の厚さの第 1 のゲート絶縁膜を形成するとともに、前記第 2 の活性領域の表面に、前記絶縁膜の厚さの増加分に相当する厚さの第 2 のゲート絶縁膜を形成する工程と、を備え、

前記工程(d)は、

前記窪み部の深さの変化に対する前記第 1 のトランジスタのしきい値電圧の変

動特性において、前記第 1 のトランジスタのしきい値電圧がほぼ一定となる深さに前記窪み部を形成する工程を含む、半導体装置の製造方法。

【請求項 5】 前記第 1 のトランジスタのしきい値電圧がほぼ一定となる深さは、

前記第 1 のトランジスタのしきい値電圧の変動幅が、前記変動特性における最大変動幅の 5 ないし 1 0 % の範囲となる深さである、請求項 4 記載の半導体装置の製造方法。

【請求項 6】 (a)半導体基板の表面内に選択的に分離絶縁膜を形成し、第 1 および第 2 の活性領域を規定する工程と、

(b)全面に渡ってシリコン窒化膜を形成する工程と、

(c)前記第 1 の活性領域上および、その周囲の前記分離絶縁膜の前記第 1 の活性領域側の端縁部上から前記シリコン窒化膜を除去する工程と、

(d)残りの前記シリコン窒化膜をマスクとして、前記第 1 の活性領域の周囲の前記分離絶縁膜の前記第 1 の活性領域側の端縁部を除去して、前記第 1 の活性領域の端縁部の周囲に窪み部を形成する工程と、

(e)前記第 1 の活性領域の表面に絶縁膜を形成する工程と、

(f)残りの前記シリコン窒化膜を除去した後、前記絶縁膜を厚くして第 1 の厚さの第 1 のゲート絶縁膜を形成するとともに、前記第 2 の活性領域の表面に、前記絶縁膜の厚さの増加分に相当する厚さの第 2 のゲート絶縁膜を形成する工程と、を備え、

前記窪み部の深さは、前記第 1 の活性領域の主面表面から前記窪み部の最深部までの垂直方向の長さで規定され、

前記工程(d)は、前記窪み部の深さが 1 0 n m 以上となるように、前記窪み部を形成する工程を含む、半導体装置の製造方法。

【請求項 7】 (a)半導体基板の表面内に選択的に分離絶縁膜を形成し、第 1 および第 2 の活性領域を規定する工程と、

(b)前記第 1 および第 2 の活性領域の表面に絶縁膜を形成する工程と、

(c)前記第 1 の活性領域上の前記絶縁膜および、その周囲の前記分離絶縁膜の前記第 1 の活性領域側の端縁部上を覆うように選択的にレジストパターンを形成

する工程と、

(d)前記レジストパターンをマスクとして、前記第2の活性領域上の前記絶縁膜および、前記第2の活性領域の周囲の前記分離絶縁膜の前記第2の活性領域側の端縁部を除去して、前記第2の活性領域の端縁部の周囲に窪み部を形成する工程と、

(e)前記レジストパターンを除去した後、前記絶縁膜を厚くして第1の厚さの第1のゲート絶縁膜を形成するとともに、前記第2の活性領域の表面に、前記絶縁膜の厚さの増加分に相当する厚さの第2のゲート絶縁膜を形成する工程と、を備え、

前記工程(d)は、

前記窪み部の深さの変化に対する前記第2のトランジスタのしきい値電圧の変動特性において、前記第2のトランジスタのしきい値電圧がほぼ一定となる深さに前記窪み部を形成する工程を含む、半導体装置の製造方法。

【請求項8】 前記第2のトランジスタのしきい値電圧がほぼ一定となる深さは、

前記第2のトランジスタのしきい値電圧の変動幅が、前記変動特性における最大変動幅の5ないし10%の範囲となる深さである、請求項7記載の半導体装置の製造方法。

【請求項9】 (a)半導体基板の表面内に選択的に分離絶縁膜を形成し、第1および第2の活性領域を規定する工程と、

(b)前記第1および第2の活性領域の表面に絶縁膜を形成する工程と、

(c)前記第1の活性領域上の前記絶縁膜および、その周囲の前記分離絶縁膜の前記第1の活性領域側の端縁部上を覆うように選択的にレジストパターンを形成する工程と、

(d)前記レジストパターンをマスクとして、前記第2の活性領域上の前記絶縁膜および、前記第2の活性領域の周囲の前記分離絶縁膜の前記第2の活性領域側の端縁部を除去して、前記第2の活性領域の端縁部の周囲に窪み部を形成する工程と、

(e)前記レジストパターンを除去した後、前記絶縁膜を厚くして第1の厚さの

第 1 のゲート絶縁膜を形成するとともに、前記第 2 の活性領域の表面に、前記絶縁膜の厚さの増加分に相当する厚さの第 2 のゲート絶縁膜を形成する工程と、を備え、

前記窪み部の深さは、前記第 1 の活性領域の主面表面から前記窪み部の最深部までの垂直方向の長さで規定され、

前記工程(d)は、前記窪み部の深さが 1 0 n m 以上となるように、前記窪み部を形成する工程を含む、半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は半導体装置およびその製造方法に関し、特に、厚さの異なるゲート絶縁膜を有する MOS トランジスタおよびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体装置のコスト低減および性能向上のためには、半導体装置の微細化が不可欠である。その微細化において、MOS トランジスタのゲート絶縁膜も他の部分と同様に薄膜化する必要がある。しかしながら、ゲート絶縁膜を薄くすると、MOS トランジスタのゲート電圧の耐圧が低下する。

【 0 0 0 3 】

このため、薄いゲート絶縁膜を有する MOS トランジスタは、論理演算を行うロジック回路等を構成するトランジスタ（耐圧：2 ～ 5 V）に適する一方で、入出力回路等の比較的高い耐圧（耐圧：5 ～ 1 0 V）を要する回路部には適さない。

【 0 0 0 4 】

そこで、ロジック回路、入出力回路、メモリ部等の駆動電圧の異なる回路部を同一基板上に有する昨今の半導体集積回路装置においては、回路部によってゲート絶縁膜の厚さの異なる複数種類の MOS トランジスタを作り分け、半導体装置の微細化を達成している。

【 0 0 0 5 】

例えば、ゲート絶縁膜の厚さが1～4 nm、駆動電圧が0.8～1.8 VのMOSトランジスタを配設する領域を薄膜部、ゲート絶縁膜の厚さが4～12 nm、駆動電圧が1.8～5 VのMOSトランジスタを配設する領域を厚膜部と呼称し、各部に適したMOSトランジスタを形成するようにしている。

【0006】

このように、厚さの異なるゲート絶縁膜（特にゲート酸化膜）を作り分ける技術をデュアルオキサイド（Dual Oxide）プロセスと呼称し、これは重要な技術となっている。

【0007】

以下、図21および図22を用いて、従来のデュアルオキサイドプロセスで形成された2種類のMOSトランジスタ10および20について説明する。

【0008】

図21は、MOSトランジスタ10および20のゲートの長手方向での断面形状を示し、図22はゲートの短手方向での断面形状を示す。

【0009】

図21および図22に示すように、MOSトランジスタ10は厚膜部ARに形成されるゲート酸化膜の厚さが比較的厚いMOSトランジスタであり、MOSトランジスタ20は薄膜部BRに形成されるゲート酸化膜の厚さが比較的薄いMOSトランジスタである。

【0010】

MOSトランジスタ10および20は、半導体基板1の表面内に形成された分離絶縁膜2によって規定される活性領域3Aおよび3Bにそれぞれ配設されている。分離絶縁膜2は、STI（Shallow Trench Isolation）と呼称される素子分離絶縁膜の一種である。

【0011】

活性領域3Aおよび3Bの表面内には、ウェル領域4Aおよび4Bが配設され、ウェル領域4Aおよび4Bの表面内には、チャネル注入領域5Aおよび5Bが配設されている。

【0012】

そして、活性領域 3 A および 3 B の半導体基板 1 の主面上には、それぞれ、厚さの異なるゲート酸化膜 G X 1 および G X 2 が配設され、ゲート酸化膜 G X 1 および G X 2 の上部にはゲート電極 G T 1 および G T 2 が配設されている。

【 0 0 1 3 】

また、ゲート電極 G T 1 および G T 2 を覆うように層間絶縁膜 6 が配設され、さらにその上に平坦化された層間絶縁膜 7 および 8 が配設されている。

【 0 0 1 4 】

そして、MOS トランジスタ 1 0 および 2 0 に対応して、層間絶縁膜 6 ～ 8 を貫通するようにコンタクト部 9 A および 9 B が配設されている。コンタクト部 9 A および 9 B は、図 2 2 に示すように、MOS トランジスタ 1 0 および 2 0 のソース・ドレイン領域 S D A および S D B に電氣的にそれぞれ接続される。また、図 2 2 に示すように、ゲート電極 G T 1 および G T 2 の側面にはサイドウォール酸化膜 G W 1 および G W 2 が配設されている。

【 0 0 1 5 】

なお、ゲート電極 G T 1 および G T 2 にもコンタクト部が接続されるが、図 2 1 および図 2 2 においては便宜的に省略している。

【 0 0 1 6 】

図 2 1 および図 2 2 に示すように、薄膜部 B R の活性領域 3 B を規定する分離絶縁膜 2 の MOS トランジスタ 2 0 側の端縁部が抉れており、活性領域 3 B の端縁部に窪みが発生している。

【 0 0 1 7 】

次に、MOS トランジスタ 1 0 および 2 0 の製造方法について、製造工程を順に示す図 2 3 ～図 2 7 を用いて説明する。

【 0 0 1 8 】

まず、図 2 3 に示す工程において、半導体基板 1 の表面内に分離絶縁膜 2 を選択的に形成して活性領域 3 A および 3 B を規定する。その後、熱酸化膜（図では省略）を形成した後、活性領域 3 A および 3 B 内にウエル注入およびチャネル注入の不純物イオン注入を行って、ウエル領域 4 A および 4 B、チャネル注入領域 5 A および 5 B を形成する。

【 0 0 1 9 】

次に、図 2 4 に示す工程において、活性領域 3 A および 3 B の主面表面を熱酸化して、第 3 の厚さの酸化膜 O X 3 を形成する。ここで、第 3 の厚さとは、後に形成するゲート酸化膜 G X 1 および G X 2 の厚さを、それぞれ第 1 および第 2 の厚さとした場合、第 1 の厚さ - 第 2 の厚さ = 第 3 の厚さとなるように規定される。

【 0 0 2 0 】

次に、図 2 5 に示す工程において、厚膜部 A R を覆うように写真製版技術によってレジストパターン R M 1 を形成する。

【 0 0 2 1 】

その後、薄膜部 B R の酸化膜 O X 3 を所定時間のウェットエッチングにより除去する。このとき、酸化膜で構成される分離絶縁膜 2 の端縁部も抉れ、活性領域 3 B が突出する形状となっている。

【 0 0 2 2 】

次に、レジストパターン R M 1 を除去した後、図 2 6 に示す工程において、酸化膜 O X 3 の厚さを増して活性領域 3 A 上に第 1 の厚さのゲート酸化膜 G X 1 を形成する。このとき、活性領域 3 B 上には第 2 の厚さのゲート酸化膜 G X 2 が形成されることになる。

【 0 0 2 3 】

次に、図 2 7 に示す工程において、ゲート酸化膜 G X 1 および G X 2 を覆うように導体層 C L を形成する。

【 0 0 2 4 】

この後、導体層 C L をパターニングしてゲート電極 G T 1 および G T 2 を形成し、ゲート電極 G T 1 および G T 2 をマスクとしてイオン注入を行い、活性領域 3 A および 3 B のそれぞれにおいてソース・ドレイン領域 S D A および S D B を形成する。

【 0 0 2 5 】

そして、全域に渡って層間絶縁膜 6 ~ 8 を順次積層した後、層間絶縁膜 6 ~ 8 を貫通してソース・ドレイン領域 S D A および S D B に達するコンタクト部 9 A

および 9 B を形成することで、図 2 1 および図 2 2 に示す MOS トランジスタ 1 0 および 2 0 を得る。

【 0 0 2 6 】

【発明が解決しようとする課題】

以上説明したように従来のデュアルオキサイドプロセスでは、薄膜部 B R にいて薄いゲート酸化膜 G X 2 を形成するために、一旦形成した酸化膜 O X 3 をウェットエッチングにより除去するので分離絶縁膜 2 の端縁部が抉れ、活性領域 3 B が突出する形状となる。

【 0 0 2 7 】

ここで、図 2 6 における領域 X の詳細を図 2 8 に示す。図 2 8 に示すように、活性領域 3 B に面する分離絶縁膜 2 の端縁部の抉れ深さは、活性領域 3 B の主面表面から窪みの最深部までの深さで定義すると 5 n m (5 0 Å) 以下であり、活性領域 3 B と分離酸化膜 2 との水平方向の距離が 0 . 1 μ m 以下、活性領域 3 B の突出部分の傾斜が 6 5 ° ~ 9 0 ° となっている。

【 0 0 2 8 】

このように、分離絶縁膜 2 の端縁部が抉れると、逆狭チャネル効果に起因するしきい値電圧の低下が生じる。また、その抉れ深さは薄膜部 B R の酸化膜 O X 3 のウェットエッチングの時間によって変化するので、ばらつきが生じる。

【 0 0 2 9 】

この結果、分離絶縁膜 2 の端縁部の抉れ深さによって、しきい値電圧がばらつき、半導体装置の製造歩留まりが著しく低下してしまう。

【 0 0 3 0 】

本発明は上記のような問題点を解消するためになされたもので、デュアルオキサイドプロセスを用いて形成された MOS トランジスタにおいて、しきい値電圧のばらつきを低減して、製造歩留まりを向上した半導体装置およびその製造方法を提供することを目的とする。

【 0 0 3 1 】

【課題を解決するための手段】

本発明に係る請求項 1 記載の半導体装置は、半導体基板と、前記半導体基板の

表面内に選択的に配設された分離絶縁膜と、前記分離絶縁膜によって規定される第 1 および第 2 の活性領域上に配設される第 1 および第 2 のトランジスタを備えた半導体装置であって、前記第 1 のトランジスタは、前記第 1 の活性領域上に選択的に配設された第 1 の厚さを有する第 1 のゲート絶縁膜を有し、前記第 2 のトランジスタは、前記第 2 の活性領域上に選択的に配設された第 2 の厚さを有する第 2 のゲート絶縁膜を有し、前記第 1 の厚さは前記第 2 の厚さよりも厚く、前記第 1 または第 2 の活性領域を規定する前記分離絶縁膜の、前記第 1 または第 2 の活性領域側の端縁部が抉れ、前記第 1 または第 2 の活性領域の端縁部の周囲に窪み部を備え、前記窪み部の深さは、該窪み部の深さの変化に対する前記第 1 または第 2 のトランジスタのしきい値電圧の変動特性において、前記第 1 または第 2 のトランジスタのしきい値電圧がほぼ一定となる深さに設定される。

【 0 0 3 2 】

本発明に係る請求項 2 記載の半導体装置は、前記第 1 または第 2 のトランジスタのしきい値電圧がほぼ一定となる深さが、前記第 1 または第 2 のトランジスタのしきい値電圧の変動幅が、前記変動特性における最大変動幅の 5 ないし 1 0 % の範囲となる深さである。

【 0 0 3 3 】

本発明に係る請求項 3 記載の半導体装置は、半導体基板と、前記半導体基板の表面内に選択的に配設された分離絶縁膜と、前記分離絶縁膜によって規定される第 1 および第 2 の活性領域上に配設される第 1 および第 2 のトランジスタを備えた半導体装置であって、前記第 1 のトランジスタは、前記第 1 の活性領域上に選択的に配設された第 1 の厚さを有する第 1 のゲート絶縁膜を有し、前記第 2 のトランジスタは、前記第 2 の活性領域上に選択的に配設された第 2 の厚さを有する第 2 のゲート絶縁膜を有し、前記第 1 の厚さは前記第 2 の厚さよりも厚く、前記第 1 または第 2 の活性領域を規定する前記分離絶縁膜の、前記第 1 または第 2 の活性領域側の端縁部が抉れ、前記第 1 または第 2 の活性領域の端縁部の周囲に窪み部を備え、前記窪み部の深さは、前記第 1 の活性領域の主面表面から前記窪み部の最深部までの垂直方向の長さで規定され、前記窪み部の深さが 1 0 n m 以上である。

【 0 0 3 4 】

本発明に係る請求項 4 記載の半導体装置の製造方法は、半導体基板の表面内に選択的に分離絶縁膜を形成し、第 1 および第 2 の活性領域を規定する工程 (a) と、全面に渡ってシリコン窒化膜を形成する工程 (b) と、前記第 1 の活性領域上および、その周囲の前記分離絶縁膜の前記第 1 の活性領域側の端縁部上から前記シリコン窒化膜を除去する工程 (c) と、残りの前記シリコン窒化膜をマスクとして、前記第 1 の活性領域の周囲の前記分離絶縁膜の前記第 1 の活性領域側の端縁部を除去して、前記第 1 の活性領域の端縁部の周囲に窪み部を形成する工程 (d) と、前記第 1 の活性領域の表面に絶縁膜を形成する工程 (e) と、残りの前記シリコン窒化膜を除去した後、前記絶縁膜を厚くして第 1 の厚さの第 1 のゲート絶縁膜を形成するとともに、前記第 2 の活性領域の表面に、前記絶縁膜の厚さの増加分に相当する厚さの第 2 のゲート絶縁膜を形成する工程 (f) とを備え、前記工程 (d) は、前記窪み部の深さの変化に対する前記第 1 のトランジスタのしきい値電圧の変動特性において、前記第 1 のトランジスタのしきい値電圧がほぼ一定となる深さに前記窪み部を形成する工程を含んでいる。

【 0 0 3 5 】

本発明に係る請求項 5 記載の半導体装置の製造方法は、前記第 1 のトランジスタのしきい値電圧がほぼ一定となる深さが、前記第 1 のトランジスタのしきい値電圧の変動幅が、前記変動特性における最大変動幅の 5 ないし 1 0 % の範囲となる深さである。

【 0 0 3 6 】

本発明に係る請求項 6 記載の半導体装置の製造方法は、半導体基板の表面内に選択的に分離絶縁膜を形成し、第 1 および第 2 の活性領域を規定する工程 (a) と、全面に渡ってシリコン窒化膜を形成する工程 (b) と、前記第 1 の活性領域上および、その周囲の前記分離絶縁膜の前記第 1 の活性領域側の端縁部上から前記シリコン窒化膜を除去する工程 (c) と、残りの前記シリコン窒化膜をマスクとして、前記第 1 の活性領域の周囲の前記分離絶縁膜の前記第 1 の活性領域側の端縁部を除去して、前記第 1 の活性領域の端縁部の周囲に窪み部を形成する工程 (d) と、前記第 1 の活性領域の表面に絶縁膜を形成する工程 (e) と、残りの前記シリコ

ン窒化膜を除去した後、前記絶縁膜を厚くして第 1 の厚さの第 1 のゲート絶縁膜を形成するとともに、前記第 2 の活性領域の表面に、前記絶縁膜の厚さの増加分に相当する厚さの第 2 のゲート絶縁膜を形成する工程 (f) とを備え、前記窪み部の深さは、前記第 1 の活性領域の主面表面から前記窪み部の最深部までの垂直方向の長さで規定され、前記工程 (d) は、前記窪み部の深さが 1 0 n m 以上となるように、前記窪み部を形成する工程を含んでいる。

【 0 0 3 7 】

本発明に係る請求項 7 記載の半導体装置の製造方法は、半導体基板の表面内に選択的に分離絶縁膜を形成し、第 1 および第 2 の活性領域を規定する工程 (a) と、前記第 1 および第 2 の活性領域の表面に絶縁膜を形成する工程 (b) と、前記第 1 の活性領域上の前記絶縁膜および、その周囲の前記分離絶縁膜の前記第 1 の活性領域側の端縁部上を覆うように選択的にレジストパターンを形成する工程 (c) と、前記レジストパターンをマスクとして、前記第 2 の活性領域上の前記絶縁膜および、前記第 2 の活性領域の周囲の前記分離絶縁膜の前記第 2 の活性領域側の端縁部を除去して、前記第 2 の活性領域の端縁部の周囲に窪み部を形成する工程 (d) と、前記レジストパターンを除去した後、前記絶縁膜を厚くして第 1 の厚さの第 1 のゲート絶縁膜を形成するとともに、前記第 2 の活性領域の表面に、前記絶縁膜の厚さの増加分に相当する厚さの第 2 のゲート絶縁膜を形成する工程 (e) とを備え、前記工程 (d) は、前記窪み部の深さの変化に対する前記第 2 のトランジスタのしきい値電圧の変動特性において、前記第 2 のトランジスタのしきい値電圧がほぼ一定となる深さに前記窪み部を形成する工程を含んでいる。

【 0 0 3 8 】

本発明に係る請求項 8 記載の半導体装置の製造方法は、前記第 2 のトランジスタのしきい値電圧がほぼ一定となる深さが、前記第 2 のトランジスタのしきい値電圧の変動幅が、前記変動特性における最大変動幅の 5 ないし 1 0 % の範囲となる深さである。

【 0 0 3 9 】

本発明に係る請求項 9 記載の半導体装置の製造方法は、半導体基板の表面内に選択的に分離絶縁膜を形成し、第 1 および第 2 の活性領域を規定する工程 (a) と

、前記第 1 および第 2 の活性領域の表面に絶縁膜を形成する工程 (b) と、前記第 1 の活性領域上の前記絶縁膜および、その周囲の前記分離絶縁膜の前記第 1 の活性領域側の端縁部上を覆うように選択的にレジストパターンを形成する工程 (c) と、前記レジストパターンをマスクとして、前記第 2 の活性領域上の前記絶縁膜および、前記第 2 の活性領域の周囲の前記分離絶縁膜の前記第 2 の活性領域側の端縁部を除去して、前記第 2 の活性領域の端縁部の周囲に窪み部を形成する工程 (d) と、前記レジストパターンを除去した後、前記絶縁膜を厚くして第 1 の厚さの第 1 のゲート絶縁膜を形成するとともに、前記第 2 の活性領域の表面に、前記絶縁膜の厚さの増加分に相当する厚さの第 2 のゲート絶縁膜を形成する工程 (e) とを備え、前記窪み部の深さが、前記第 1 の活性領域の主面表面から前記窪み部の最深部までの垂直方向の長さで規定され、前記工程 (d) は、前記窪み部の深さが 10 nm 以上となるように前記窪み部を形成する工程を含んでいる。

【 0 0 4 0 】

【発明の実施の形態】

< A. 実施の形態 1 >

< A - 1. 装置構成 >

図 1 および図 2 を用いて、本発明に係るデュアルオキサイドプロセスで形成された 2 種類の MOS トランジスタ 100 および 200 について説明する。

【 0 0 4 1 】

図 1 は、MOS トランジスタ 100 および 200 のゲートの長手方向での断面形状を示し、図 2 はゲートの短手方向での断面形状を示す。

【 0 0 4 2 】

図 1 および図 2 に示すように、MOS トランジスタ 100 は厚膜部 A R に形成されるゲート酸化膜の厚さが比較的厚い MOS トランジスタであり、MOS トランジスタ 200 は薄膜部 B R に形成されるゲート酸化膜の厚さが比較的薄い MOS トランジスタである。

【 0 0 4 3 】

MOS トランジスタ 100 および 200 は、半導体基板 1 の表面内に形成された分離絶縁膜 2 によって規定される活性領域 3 A および 3 B にそれぞれ配設され

ている。分離絶縁膜 2 は、S T I (Shallow Trench Isolation) と呼称される素子分離絶縁膜の一種である。

【 0 0 4 4 】

活性領域 3 A および 3 B の表面内には、ウエル領域 4 A および 4 B が配設され、ウエル領域 4 A および 4 B の表面内には、チャネル注入領域 5 A および 5 B が配設されている。

【 0 0 4 5 】

そして、活性領域 3 A および 3 B の半導体基板 1 の主面上には、それぞれ、厚さの異なるゲート酸化膜 G X 1 および G X 2 が配設され、ゲート酸化膜 G X 1 および G X 2 の上部にはゲート電極 G T 1 および G T 2 が配設されている。

【 0 0 4 6 】

また、ゲート電極 G T 1 および G T 2 を覆うように層間絶縁膜 6 が配設され、さらにその上に平坦化された層間絶縁膜 7 および 8 が配設されている。

【 0 0 4 7 】

そして、M O S トランジスタ 1 0 0 および 2 0 0 に対応して、層間絶縁膜 6 ～ 8 を貫通するようにコンタクト部 9 A および 9 B が配設されている。コンタクト部 9 A および 9 B は、図 2 に示すように、M O S トランジスタ 1 0 0 および 2 0 0 のソース・ドレイン領域 S D A および S D B に電氣的にそれぞれ接続される。また、図 2 に示すように、ゲート電極 G T 1 および G T 2 の側面にはサイドウォール酸化膜 G W 1 および G W 2 が配設されている。

【 0 0 4 8 】

なお、ゲート電極 G T 1 および G T 2 にもコンタクト部が接続されるが、図 1 および図 2 においては便宜的に省略している。

【 0 0 4 9 】

図 1 および図 2 に示すように、厚膜部 A R の活性領域 3 A を規定する分離絶縁膜 2 の M O S トランジスタ 1 0 0 側の端縁部が挟れており、活性領域 3 A の端縁部に窪み部 D P が形成されているが、薄膜部 B R においては分離絶縁膜 2 の M O S トランジスタ 2 0 0 側の端縁部は挟れていない構造となっている。

【 0 0 5 0 】

< A - 2 . 製造方法 >

次に、MOSトランジスタ100および200の製造方法について、製造工程を順に示す図3～図11を用いて説明する。

【 0 0 5 1 】

まず、図3に示す工程において、半導体基板1の表面内に分離絶縁膜2を選択的に形成して活性領域3Aおよび3Bを規定する。

【 0 0 5 2 】

次に、図4に示す工程において、その後、活性領域3Aおよび3B上に熱酸化法により酸化膜OX11を形成した後、活性領域3Aおよび3B内にウエル注入およびチャネル注入の不純物イオン注入を行って、ウエル領域4Aおよび4B、チャネル注入領域5Aおよび5Bを形成する。

【 0 0 5 3 】

ここで、ウエル注入としては、P型ウエル領域を形成する場合には、不純物として、活性領域3Aおよび3Bの両方に、ボロンイオンを、 $200 \sim 500 \text{ keV}$ のエネルギーでドーズ量 $5 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ の条件で注入を行う。

【 0 0 5 4 】

次に、チャネルカット層を形成するために、ボロンイオンを、 $80 \sim 160 \text{ KeV}$ のエネルギーで、ドーズ量 $3 \times 10^{12} \sim 2 \times 10^{15} / \text{cm}^2$ の条件で注入を行う。

【 0 0 5 5 】

また、チャネル注入としては、ボロンイオンを、活性領域3Aには、 $15 \sim 70 \text{ KeV}$ のエネルギーでドーズ量 $3 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ の条件で注入し、活性領域3Bには、 $15 \sim 70 \text{ KeV}$ のエネルギーで、 $5 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ の条件で注入する。なお、図4においてはチャネルカット層とチャネル注入領域とを合わせてチャネル注入領域5Aおよび5Bとして示している。これは他の図においても同じである。

【 0 0 5 6 】

なお、N型ウエル領域を形成する場合には、不純物として、活性領域3Aおよ

び 3 B の両方に、リンイオンを、3 0 0 ~ 1 0 0 0 K e V のエネルギーで、ドーズ量 $5 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ の条件で注入を行う。

【 0 0 5 7 】

次に、チャネルカット層を形成するために、リンイオンを 1 6 0 ~ 4 0 0 K e V のエネルギーで、ドーズ量 $3 \times 10^{12} \sim 2 \times 10^{13} / \text{cm}^2$ の条件で注入を行う。

【 0 0 5 8 】

また、チャネル注入としては、砒素イオンを、活性領域 3 A には、1 5 ~ 7 0 K e V のエネルギーで、ドーズ量 $3 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ の条件で注入し、活性領域 3 B には、5 0 ~ 2 0 0 K e V のエネルギーで、ドーズ量 $5 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ の条件で注入する。

【 0 0 5 9 】

次に、図 5 に示す工程において、全面に渡って、厚さ 5 ~ 3 0 n m (5 0 ~ 3 0 0 Å) のシリコン窒化膜 S N 1 を形成する。

【 0 0 6 0 】

次に、図 6 に示す工程において、厚膜部 A R のみシリコン窒化膜 S N 1 が除去されるように、ウェットエッチングによりシリコン窒化膜 S N 1 を選択的に除去する。

【 0 0 6 1 】

次に、図 7 に示す工程において、シリコン窒化膜 S N 1 をマスクとしてシリコン酸化膜のウェットエッチングを行い、厚膜部 A R の酸化膜 O X 1 1 を除去するとともに、分離絶縁膜 2 の端縁部を併せて除去し、活性領域 3 A の周囲に深い窪み部 D P を形成する。

【 0 0 6 2 】

次に、図 8 に示す工程において、薄膜部 B R にはシリコン窒化膜 S N 1 を残した状態で、活性領域 3 A の表面のみに第 3 の厚さの酸化膜 O X 1 3 を形成する。ここで、第 3 の厚さとは、後に形成するゲート酸化膜 G X 1 および G X 2 の厚さを、それぞれ第 1 厚さ (4 ~ 1 2 n m) および第 2 の厚さ (1 ~ 4 n m) とした場合、第 1 の厚さ - 第 2 の厚さ = 第 3 の厚さとなるように規定される。

【 0 0 6 3 】

次に、図 9 に示す工程において、エッチングを行い、薄膜部 B R に残るシリコン窒化膜 S N 1 を除去する。このエッチングにおいては、シリコン酸化膜が除去されない条件を選ぶことにより、厚膜部 A R および薄膜部 B R においてはシリコン酸化膜は殆ど除去されない。

【 0 0 6 4 】

ただし、活性領域 3 B 上の酸化膜 O X 1 1 を除去する際に、厚膜部 A R においても分離絶縁膜 2 および酸化膜 O X 1 3 が若干除去されるが、酸化膜 O X 1 1 の厚さは薄いので、影響は少ない。また、酸化膜 O X 1 1 の厚さ分だけ酸化膜 O X 1 3 の厚さを余分に厚くしておくことで、酸化膜 O X 1 1 の除去の影響をキャンセルするようにしても良い。

【 0 0 6 5 】

次に、図 1 0 に示す工程において、熱酸化法あるいは C V D (Chemical Vapor Deposition) 法により、酸化膜 O X 1 3 の厚さを増して活性領域 3 A 上に第 1 の厚さのゲート酸化膜 G X 1 を形成する。このとき、活性領域 3 B 上には第 2 の厚さのゲート酸化膜 G X 2 が形成されることになる。

【 0 0 6 6 】

次に、図 1 1 に示す工程において、ゲート酸化膜 G X 1 および G X 2 を覆うようにゲート電極 G T 1 および G T 2 となる導体層 C L を形成する。

【 0 0 6 7 】

この後、導体層 C L をパターニングしてゲート電極 G T 1 および G T 2 を形成し、ゲート電極 G T 1 および G T 2 をマスクとしてイオン注入を行い、活性領域 3 A および 3 B のそれぞれにおいてソース・ドレイン領域 S D A および S D B を形成する。

【 0 0 6 8 】

ここで、ソース・ドレイン注入の条件は、P 型ウエル領域に対しては、砒素イオンを $3 \sim 100 \text{ KeV}$ のエネルギーで、ドーズ量が $1 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$ となる条件で注入し、N 型ウエル領域に対しては、ボロンイオンを $1 \sim 20 \text{ KeV}$ のエネルギーで、ドーズ量が $1 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$ となる条

件で注入する。

【0069】

そして、全域に渡って層間絶縁膜6～8を順次積層した後、層間絶縁膜6～8を貫通してソース・ドレイン領域SDAおよびSDBに達するコンタクト部9Aおよび9Bを形成することで、図1および図2に示すMOSトランジスタ100および200を得る。

【0070】

<A-3. 作用効果>

ここで、図8における領域Yの詳細を図12に示す。図12に示すように、この段階での活性領域3Aの周囲の窪み部DPの深さLは、活性領域3Aの主面表面から窪み部DPの最深部までの深さで定義すると、最低でも10nm(100Å)程度とすることが望ましく、そのためには、図8に示す工程で形成する窪み部DPの深さLは、酸化膜OX13の形成による活性領域3Aの主面位置の低下を考慮して設定することが望ましい。

【0071】

このように、活性領域3Aの周囲の窪み部DPの深さLを最低でも10nm程度にする理由を以下に説明する。

【0072】

図13に、MOSトランジスタのしきい値電圧(V_{th})とSTI(分離絶縁膜2)の端縁部の窪み深さ、すなわち活性領域の周囲の窪み深さとの関係を示す。

【0073】

図13においては、横軸に活性領域周囲の窪み深さ(単位nm)を、縦軸にMOSトランジスタのしきい値電圧(単位V)を示す。なお、窪み深さが0の場合とはSTIの端縁部が抉れていない状態、すなわち設計値に対応する。

【0074】

図13に示すように、活性領域周囲の窪み深さが比較的浅い場合、例えば10nmより浅い場合には、窪み深さの変動に対する逆狭チャネル効果に起因するしきい値電圧の変動が顕著であり、窪み深さの10nmの変動に対して、しきい値電圧の変動範囲は、最大変動幅である0.2～0.3Vに近い値となる。

【 0 0 7 5 】

ここで、最大変動幅とは窪み深さを深くしていった場合に、しきい値電圧が殆ど変動しなくなる深さでのしきい値電圧（図 1 3 における P 点での電圧）と、窪み深さが 0 の場合におけるしきい値電圧（図 1 3 における Q 点での電圧）の差に相当する値である。

【 0 0 7 6 】

従来においては、しきい値電圧が活性領域周囲の窪み深さに依存することは認識されていたが、その正確な特性については認識されておらず、図 1 3 に示す領域 D 1 のように、窪み深さが比較的浅い状態（4 ～ 7 nm 程度）で MOS トランジスタを形成していた。

【 0 0 7 7 】

これに対し、発明者等は広範囲に渡って窪み深さを種々変化させ、図 1 3 に示すような、しきい値電圧の依存性に関するデータを取得した。

【 0 0 7 8 】

その結果、図 1 3 に示すように、活性領域周囲の窪み深さが 1 0 nm 以上となって、比較的深くなった場合、例えば領域 D 2 においては活性領域周囲の窪み深さが多少変動しても、しきい値電圧は、殆ど変動しないということが判明した。

【 0 0 7 9 】

ここで、活性領域周囲の窪み深さが 1 0 nm 以上になると、しきい値電圧の変動範囲は 0. 0 3 ～ 0. 0 4 V となり、最大変動幅の 5 ～ 1 0 % となる。

【 0 0 8 0 】

このように、活性領域 3 A の周囲の窪み部 D P の深さを最低でも 1 0 nm 程度とすることで、窪み部 D P の深さがばらついても、逆狭チャネル効果に起因するしきい値電圧のばらつきを抑制することができ、半導体装置の製造歩留まりを向上することができる。

【 0 0 8 1 】

なお、製造時のばらつきを考慮したとき、各々の半導体装置において、最も窪み部 D P が浅い半導体装置でも、窪み部 D P が 1 0 nm 以上あれば良い。

【 0 0 8 2 】

ここで、MOSトランジスタ100においては、しきい値電圧が多少なりともばらつくが、ゲート酸化膜GX1の膜厚(4~12nm)が厚く、駆動電圧が1.8~5Vと高く、しきい値電圧も0.4~1.5Vと高いので、しきい値電圧のばらつきに対する許容範囲は、薄膜部BRにおけるMOSトランジスタ200よりも広いので、製造歩留まりへの影響は少ない。

【0083】

なお、活性領域3Aの周囲の窪み部DPの深さを10nm程度とするには、図7に示す工程でのウエットエッチング時間を従来よりも長くすれば良い。

【0084】

例えば、従来のエッチングにより深さ5nm程度の窪み部が形成されていたとすれば、エッチング時間を従来の倍にすれば、窪み部DPの深さを10nm程度にできる。

【0085】

なお、MOSトランジスタ100においては、入出力回路等の比較的高い耐圧(5~10V)を要する回路部に適している。

【0086】

また、図1に示す薄膜部BRにおけるMOSトランジスタ200においては、活性領域3Bの周囲が窪んでいないので、逆狭チャネル効果によるMOSトランジスタのしきい値の低下が発生しない。

【0087】

このため、高速動作を必要とするロジック回路等を構成するMOSトランジスタ(ゲート酸化膜の膜厚:1~4nm、駆動電圧:0.8~1.8V、しきい値電圧:0.15~0.6V)に適した構成となっている。

【0088】

なお、入出力回路の駆動電圧は標準的には2.5Vや3.3Vを使用し、内部回路を用いて0.8~1.8Vの電圧に変換してロジック回路等の駆動電圧として使用する。

【0089】

<B. 実施の形態2>

< B - 1 . 装置構成 >

図 1 4 および図 1 5 を用いて、本発明に係るデュアルオキサイドプロセスで形成された 2 種類の MOS トランジスタ 3 0 0 および 4 0 0 について説明する。

【 0 0 9 0 】

図 1 4、MOS トランジスタ 3 0 0 および 4 0 0 のゲートの長手方向での断面形状を示し、図 1 5 はゲートの短手方向での断面形状を示す。

【 0 0 9 1 】

図 1 4 および図 1 5 に示すように、MOS トランジスタ 3 0 0 は厚膜部 A R に形成されるゲート酸化膜の厚さが比較的厚い MOS トランジスタであり、MOS トランジスタ 4 0 0 は薄膜部 B R に形成されるゲート酸化膜の厚さが比較的薄い MOS トランジスタである。

【 0 0 9 2 】

図 1 4 および図 1 5 に示すように、薄膜部 B R の活性領域 3 B を規定する分離絶縁膜 2 の MOS トランジスタ 4 0 0 側の端縁部が抉れており、その結果、活性領域 3 B の端縁部に窪み部 D P が形成されているが、厚膜部 A R においては分離絶縁膜 2 の MOS トランジスタ 3 0 0 側の端縁部は抉れていない構造となっている。

【 0 0 9 3 】

なお、その他、図 1 および図 2 を用いて説明した MOS トランジスタ 1 0 0 および 2 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 0 9 4 】

< B - 2 . 製造方法 >

次に、MOS トランジスタ 3 0 0 および 4 0 0 の製造方法について、製造工程を順に示す図 1 6 ～図 2 0 を用いて説明する。

【 0 0 9 5 】

まず、図 1 6 に示す工程において、半導体基板 1 の表面内に分離絶縁膜 2 を選択的に形成して活性領域 3 A および 3 B を規定する。その後、熱酸化膜（図では省略）を形成した後、活性領域 3 A および 3 B 内にウエル注入およびチャネル注

入の不純物イオン注入を行って、ウエル領域 4 A および 4 B、チャネル注入領域 5 A および 5 B を形成する。

【 0 0 9 6 】

ここで、ウエル注入および、チャネルカット層を形成するためのイオン注入条件は、実施の形態 1 において説明した条件と同じであり、また、チャネル注入の条件も実施の形態 1 において説明した条件と同じである。

【 0 0 9 7 】

次に、図 1 7 に示す工程において、活性領域 3 A および 3 B の主面表面を熱酸化して、第 3 の厚さの酸化膜 O X 1 3 を形成する。ここで、第 3 の厚さは、後に形成するゲート酸化膜 G X 1 および G X 2 の厚さを、それぞれ第 1 および第 2 の厚さとした場合、第 1 の厚さ - 第 2 の厚さ = 第 3 の厚さとなるように規定される。

【 0 0 9 8 】

次に、図 1 8 に示す工程において、厚膜部 A R を覆うように写真製版技術によってレジストパターン R M 1 1 を形成する。

【 0 0 9 9 】

その後、薄膜部 B R の酸化膜 O X 1 3 を従来の所定時間よりも長時間のウェットエッチングにより除去して、活性領域 3 A の周囲に深い窪み部 D P を形成する。例えば、従来のエッチングにより深さ 5 n m 程度の窪み部が形成されていたとすれば、エッチング時間を従来の倍にすれば、窪み部 D P の深さを 1 0 n m 程度にできる。

【 0 1 0 0 】

次に、レジストパターン R M 1 1 を除去した後、図 1 9 に示す工程において、熱酸化法あるいは C V D 法により、酸化膜 O X 1 3 の厚さを増して活性領域 3 A 上に第 1 の厚さのゲート酸化膜 G X 1 を形成する。このとき、活性領域 3 B 上には第 2 の厚さのゲート酸化膜 G X 2 が形成されることになる。

【 0 1 0 1 】

次に、図 2 0 に示す工程において、ゲート酸化膜 G X 1 および G X 2 を覆うようにゲート電極 G T 1 および G T 2 となる導体層 C L を形成する。

【 0 1 0 2 】

この後、導体層CLをパターニングしてゲート電極GT1およびGT2を形成し、ゲート電極GT1およびGT2をマスクとしてイオン注入を行い、活性領域3Aおよび3Bのそれぞれにおいてソース・ドレイン領域SDAおよびSDBを形成する。

【 0 1 0 3 】

ここで、ソース・ドレイン注入のイオン注入条件は、実施の形態1において説明した条件と同じである。

【 0 1 0 4 】

そして、全域に渡って層間絶縁膜6～8を順次積層した後、層間絶縁膜6～8を貫通してソース・ドレイン領域SDAおよびSDBに達するコンタクト部9Aおよび9Bを形成することで、図14および図15に示すMOSトランジスタ300および400を得る。

【 0 1 0 5 】

< B - 3 . 作用効果 >

図19に示す段階での活性領域3Bの周囲の窪み部DPの深さは、活性領域3Bの主面表面から窪み部DPの最深部までの深さで定義すると、最低でも10nm(100Å)程度とすることが望ましく、そのためには、図18に示す工程で形成する窪み部DPの深さは、酸化膜OX13の形成による活性領域3Bの主面位置の低下を考慮して設定することが望ましい。

【 0 1 0 6 】

なお、活性領域3Bの周囲の窪み部DPの深さを10nm程度とするには、図7に示す工程でのウェットエッチング時間を従来よりも長くすれば良い。

【 0 1 0 7 】

例えば、従来のエッチングにより深さ5nm程度の窪み部が形成されていたとすれば、エッチング時間を従来の倍にすれば、窪み部DPの深さを10nm程度にできる。

【 0 1 0 8 】

このように、活性領域3Bの周囲の窪み部DPの深さを最低でも10nm程度

とすることで、窪み部DPの深さがばらついても、逆狭チャネル効果に起因するしきい値電圧のばらつきを抑制することができ、半導体装置の製造歩留まりを向上することができる。その理由については実施の形態1において説明した通りである。

【0109】

また、図14に示す厚膜部ARにおけるMOSトランジスタ300においては、活性領域3Aの周囲が窪んでいないので、逆狭チャネル効果によるMOSトランジスタのしきい値の低下が発生しない。

【0110】

このため、例えば、eRAM (embedded RAM) 内のメモリーセルに適した構成であり、サブリーク電流やリフレッシュ特性の劣化といった問題を抑制できる効果がある。

【0111】

【発明の効果】

本発明に係る請求項1記載の半導体装置によれば、第1または第2の活性領域を規定する分離絶縁膜の、第1または第2の活性領域側の端縁部が抉れ、第1または第2の活性領域の端縁部の周囲に窪み部を備え、窪み部の深さが、窪み部の深さの変化に対する第1または第2のトランジスタのしきい値電圧の変動特性において、第1または第2のトランジスタのしきい値電圧がほぼ一定となる深さに設定されているので、窪み部の深さがばらついても、逆狭チャネル効果に起因するしきい値電圧のばらつきを抑制することができ、半導体装置の製造歩留まりを向上することができる。

【0112】

本発明に係る請求項2記載の半導体装置によれば、窪み部の深さを、より具体的に設定できる。

【0113】

本発明に係る請求項3記載の半導体装置によれば、第1または第2の活性領域を規定する分離絶縁膜の、第1または第2の活性領域側の端縁部が抉れ、第1または第2の活性領域の端縁部の周囲に窪み部を備え、窪み部の深さが、第1の活

性領域の主面表面から前記窪み部の最深部までの垂直方向の長さで規定され、窪み部の深さを10nm以上とすることで、逆狭チャネル効果に起因するしきい値電圧のばらつきを確実に抑制できる。

【0114】

本発明に係る請求項4記載の半導体装置の製造方法によれば、厚さの異なる第1および第2のゲート絶縁膜を有する、2種類のトランジスタを形成することができ、その過程において第1の活性領域の端縁部の周囲に、その深さの変化に対する第1のトランジスタのしきい値電圧の変動特性において、第1のトランジスタのしきい値電圧がほぼ一定となるように窪み部を有するので、窪み部の深さがばらついても、逆狭チャネル効果に起因するしきい値電圧のばらつきを抑制することができ、半導体装置の製造歩留まりを向上することができる。

【0115】

本発明に係る請求項5記載の半導体装置の製造方法によれば、窪み部の深さを、より具体的に設定できる。

【0116】

本発明に係る請求項6記載の半導体装置の製造方法によれば、厚さの異なる第1および第2のゲート絶縁膜を有する、2種類のトランジスタを形成することができ、その過程において第1の活性領域の端縁部の周囲に、その深さが10nm以上の窪み部を有するので、窪み部の深さがばらついても、逆狭チャネル効果に起因するしきい値電圧のばらつきを抑制することができ、半導体装置の製造歩留まりを向上することができる。

【0117】

本発明に係る請求項7記載の半導体装置の製造方法によれば、厚さの異なる第1および第2のゲート絶縁膜を有する、2種類のトランジスタを形成することができ、その過程において第2の活性領域の端縁部の周囲に、その深さの変化に対する第2のトランジスタのしきい値電圧の変動特性において、第2のトランジスタのしきい値電圧がほぼ一定となるように窪み部を有するので、窪み部の深さがばらついても、逆狭チャネル効果に起因するしきい値電圧のばらつきを抑制することができ、半導体装置の製造歩留まりを向上することができる。

【0 1 1 8】

本発明に係る請求項 8 記載の半導体装置の製造方法によれば、窪み部の深さを、より具体的に設定できる。

【0 1 1 9】

本発明に係る請求項 9 記載の半導体装置の製造方法によれば、厚さの異なる第 1 および第 2 のゲート絶縁膜を有する、2 種類のトランジスタを形成することができ、その過程において第 2 の活性領域の端縁部の周囲に、その深さが 1 0 n m 以上の窪み部を有するので、窪み部の深さがばらついても、逆狭チャネル効果に起因するしきい値電圧のばらつきを抑制することができ、半導体装置の製造歩留まりを向上することができる。

【図面の簡単な説明】

【図 1】 本発明に係る実施の形態 1 の半導体装置の構成を説明する断面図である。

【図 2】 本発明に係る実施の形態 1 の半導体装置の構成を説明する断面図である。

【図 3】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 4】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 5】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 6】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 7】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 8】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 9】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 1 0】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 1 1】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 1 2】 本発明に係る実施の形態 1 の半導体装置の部分構成を示す図である。

【図 1 3】 活性領域周囲の窪み部の深さの変動に対するしきい値電圧の依存特性を示す図である。

【図 1 4】 本発明に係る実施の形態 2 の半導体装置の構成を説明する断面図である。

【図 1 5】 本発明に係る実施の形態 2 の半導体装置の構成を説明する断面図である。

【図 1 6】 本発明に係る実施の形態 2 の半導体装置の製造工程を説明する断面図である。

【図 1 7】 本発明に係る実施の形態 2 の半導体装置の製造工程を説明する断面図である。

【図 1 8】 本発明に係る実施の形態 2 の半導体装置の製造工程を説明する断面図である。

【図 1 9】 本発明に係る実施の形態 2 の半導体装置の製造工程を説明する断面図である。

【図 2 0】 本発明に係る実施の形態 2 の半導体装置の製造工程を説明する断面図である。

【図 2 1】 従来の半導体装置の構成を説明する断面図である。

【図 2 2】 従来の半導体装置の構成を説明する断面図である。

【図 2 3】 従来の半導体装置の製造工程を説明する断面図である。

【図 2 4】 従来の半導体装置の製造工程を説明する断面図である。

【図 2 5】 従来の半導体装置の製造工程を説明する断面図である。

【図 2 6】 従来の半導体装置の製造工程を説明する断面図である。

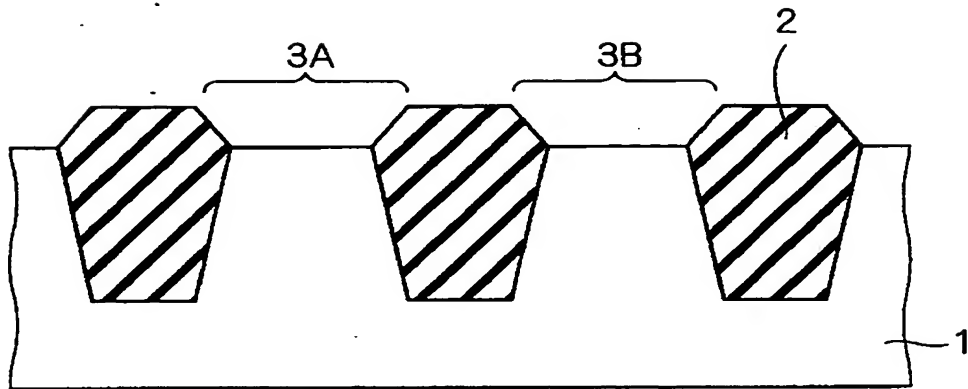
【図 2 7】 従来の半導体装置の製造工程を説明する断面図である。

【図 2 8】 従来の半導体装置の部分構成を示す図である。

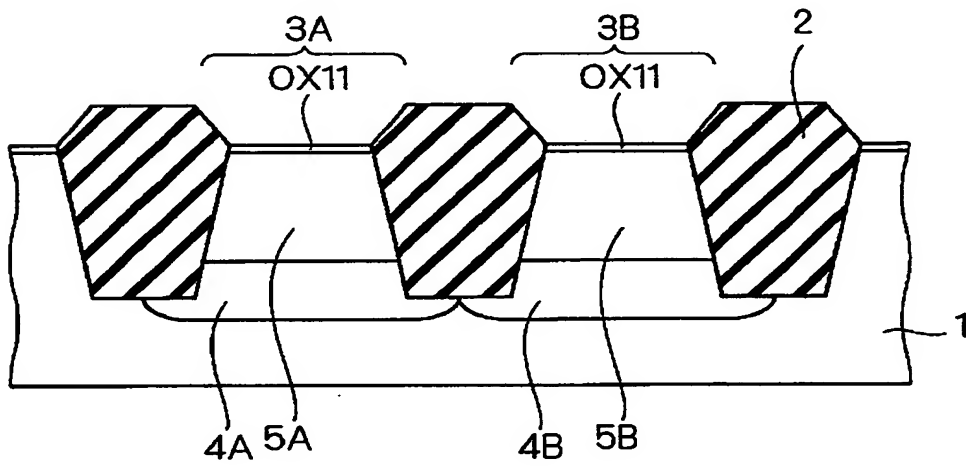
【符号の説明】

2 分離絶縁膜、3 A, 3 B 分離絶縁膜、D P 窪み部、G X 1, G X 2
ゲート酸化膜。

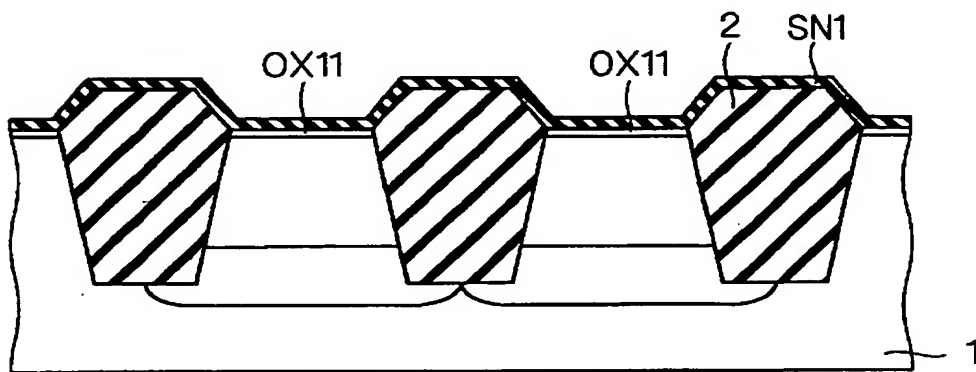
【図 3】



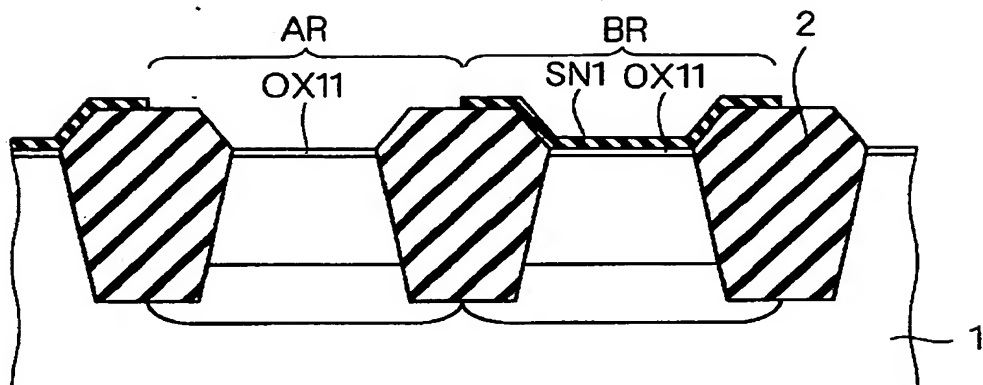
【図 4】



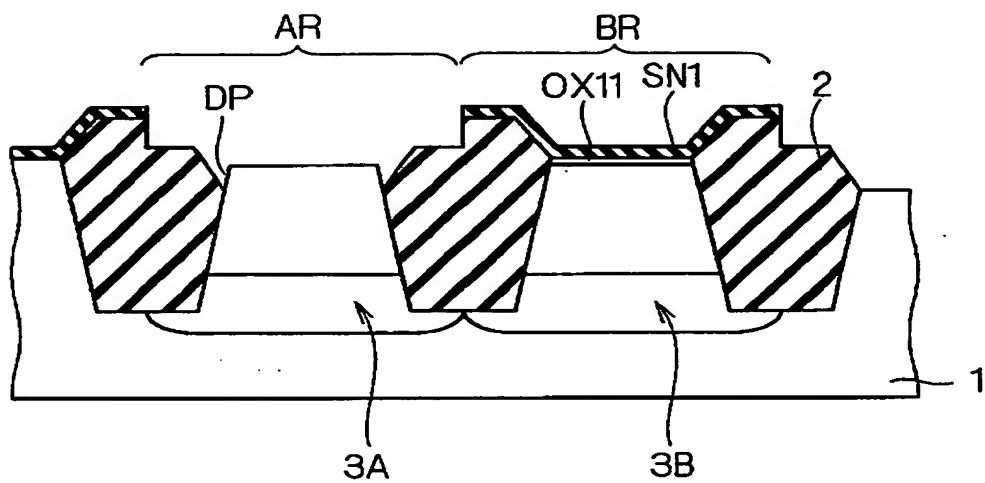
【図 5】



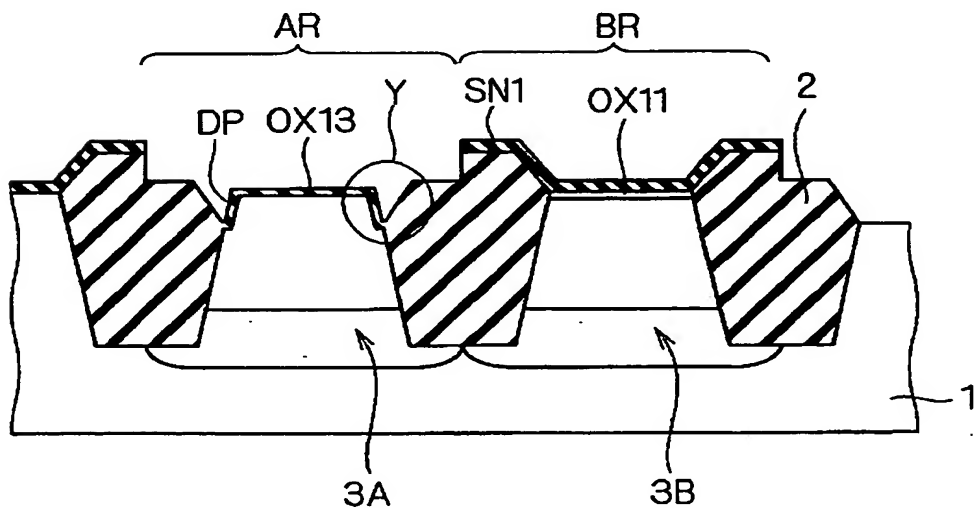
【図 6】



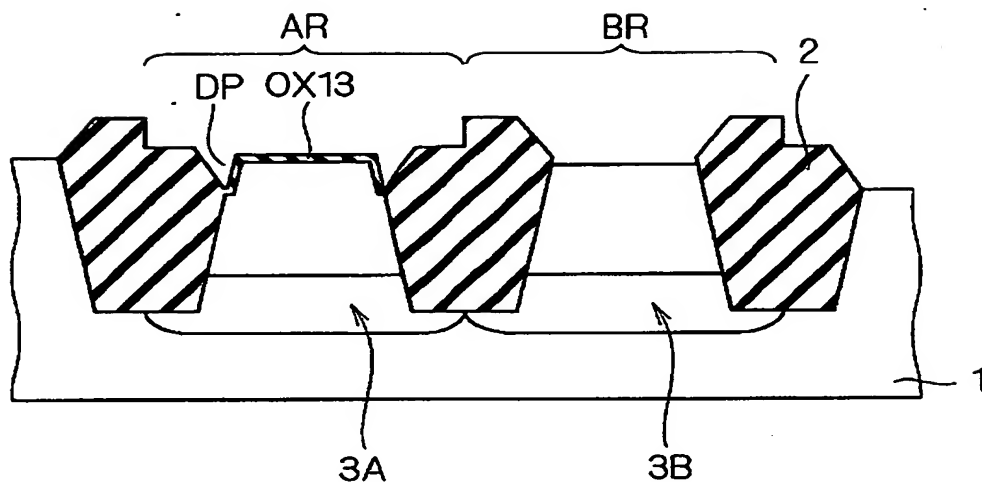
【図 7】



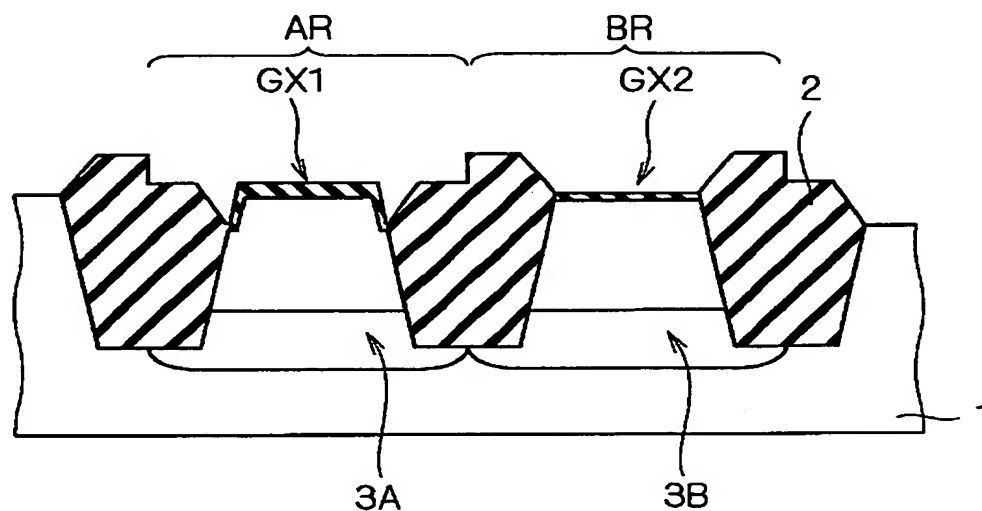
【図 8】



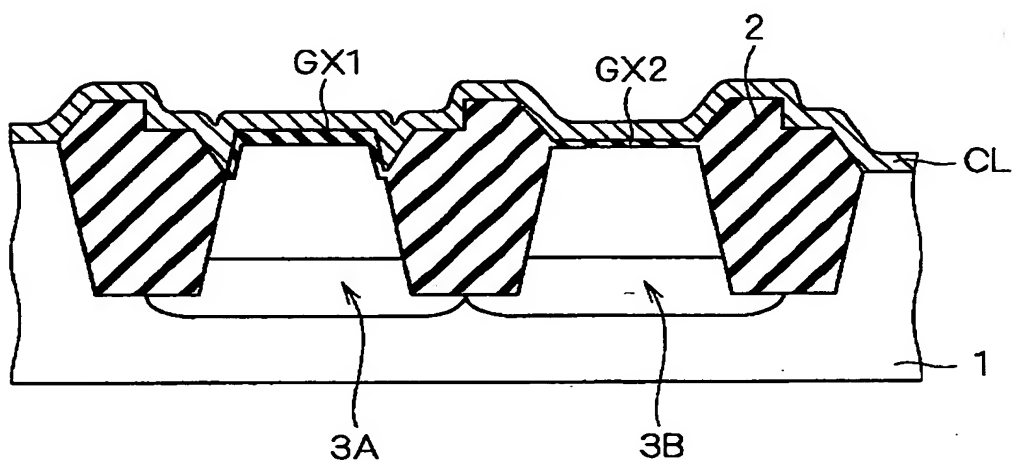
【図 9】



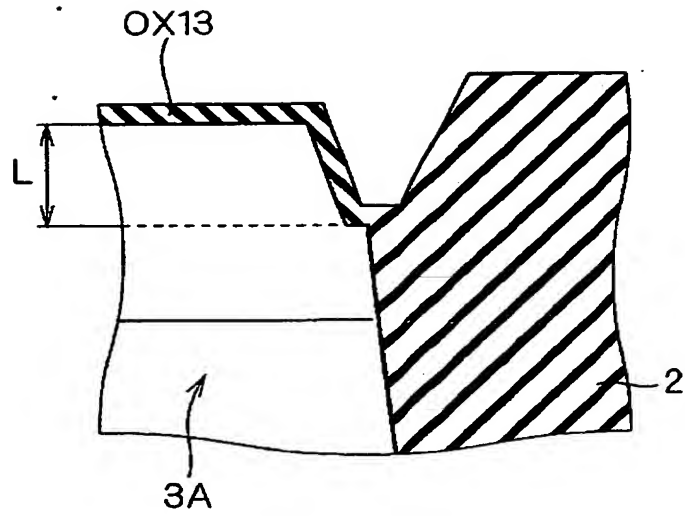
【図 10】



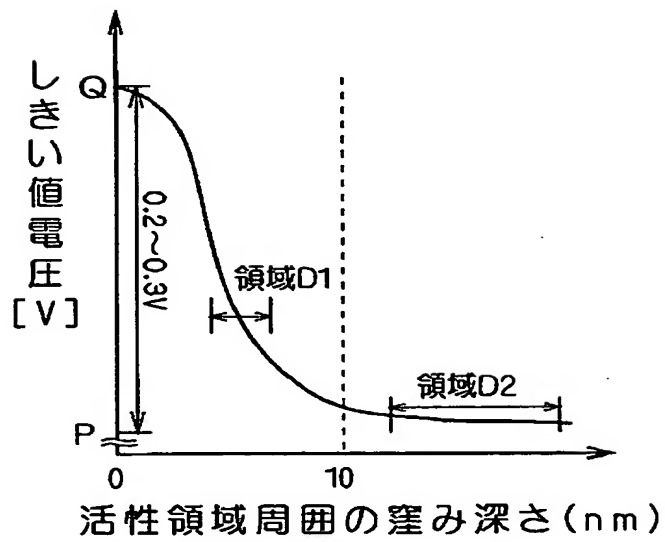
【図 11】



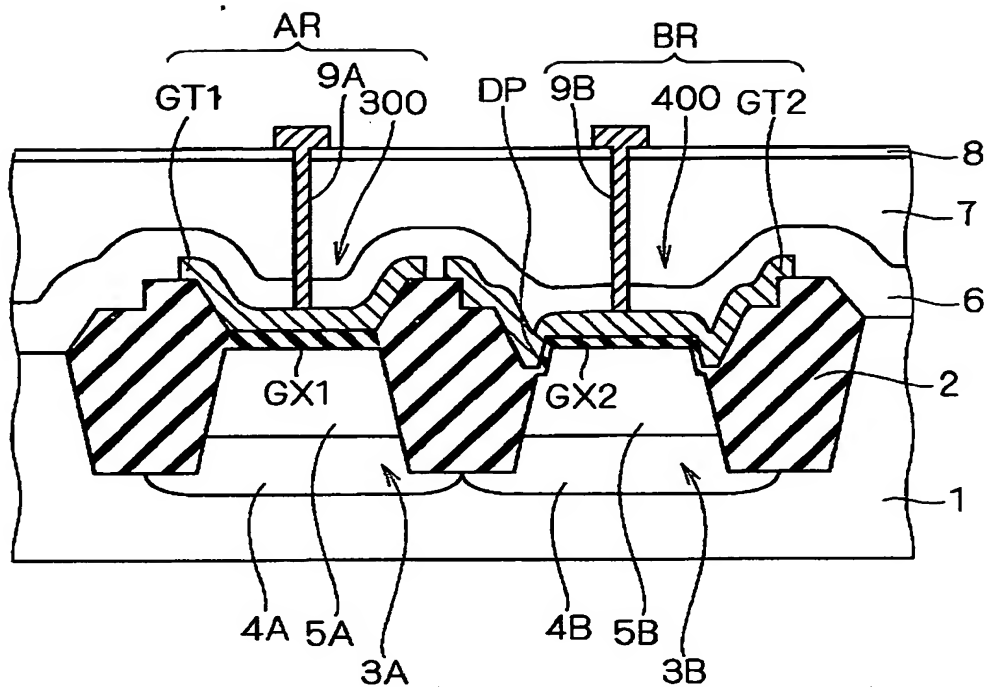
【図 1 2】



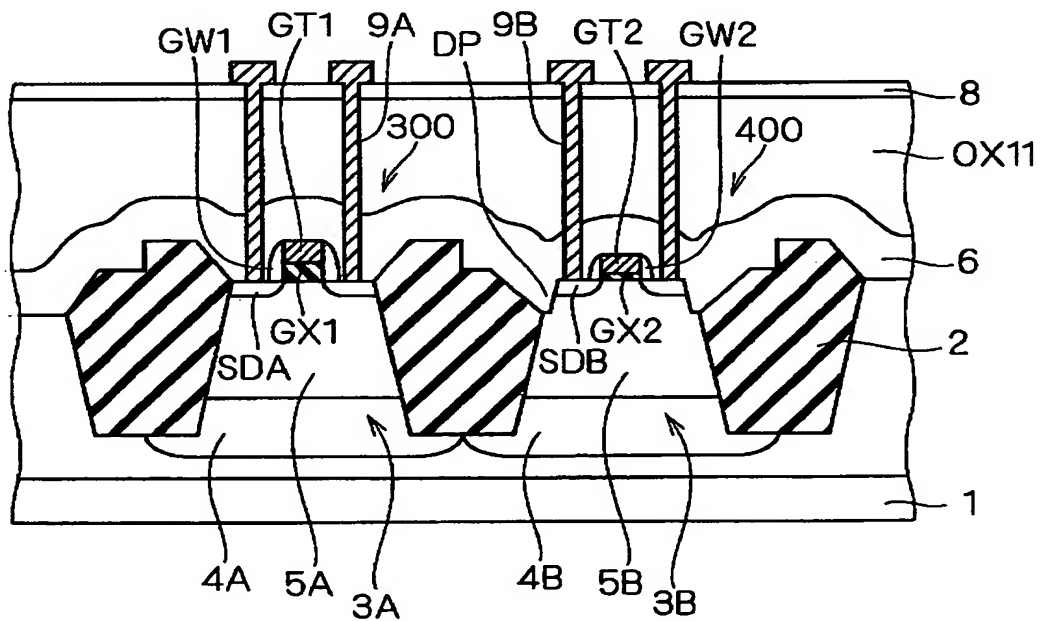
【図 1 3】



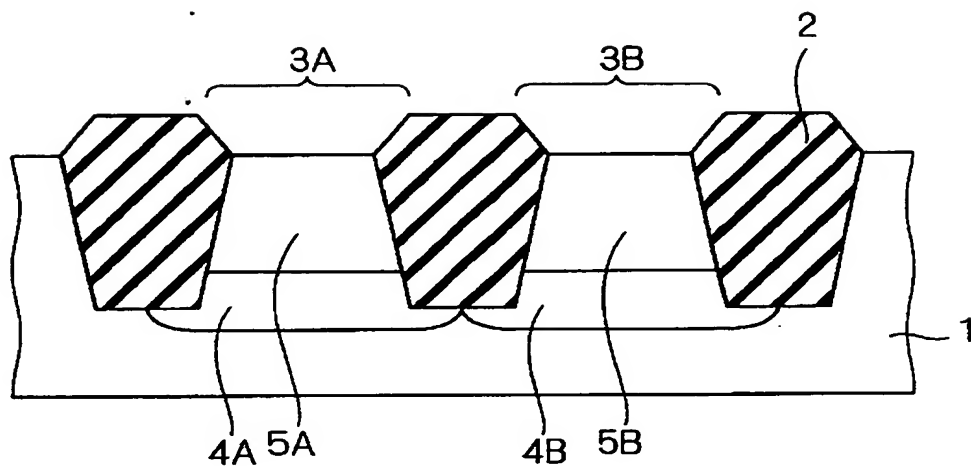
【図 14】



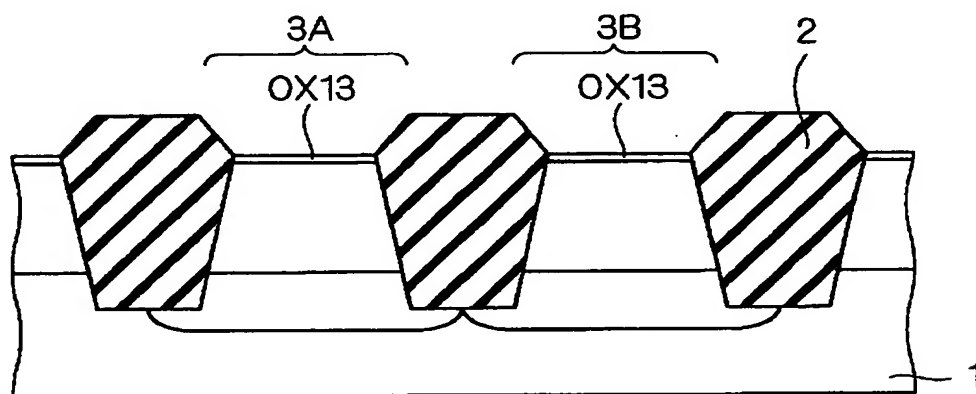
【図 15】



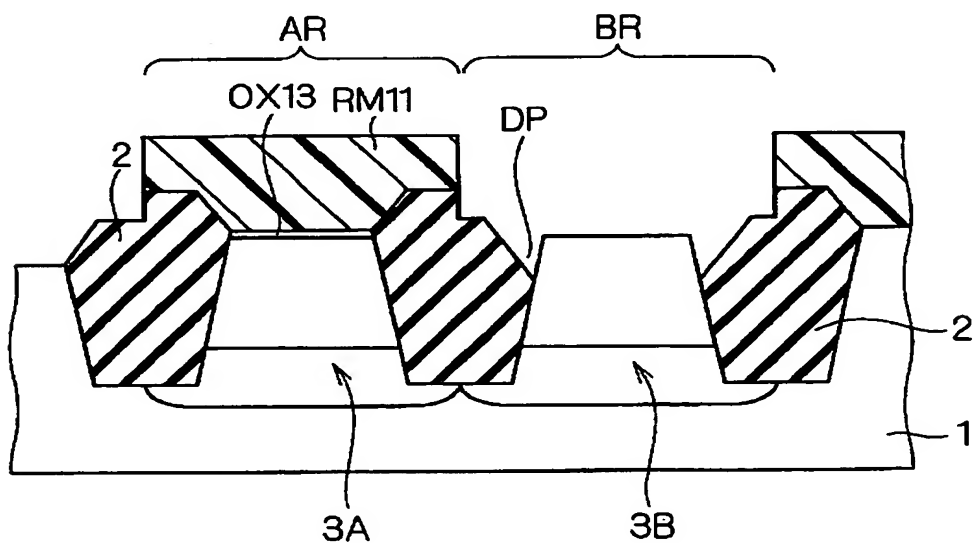
【図16】



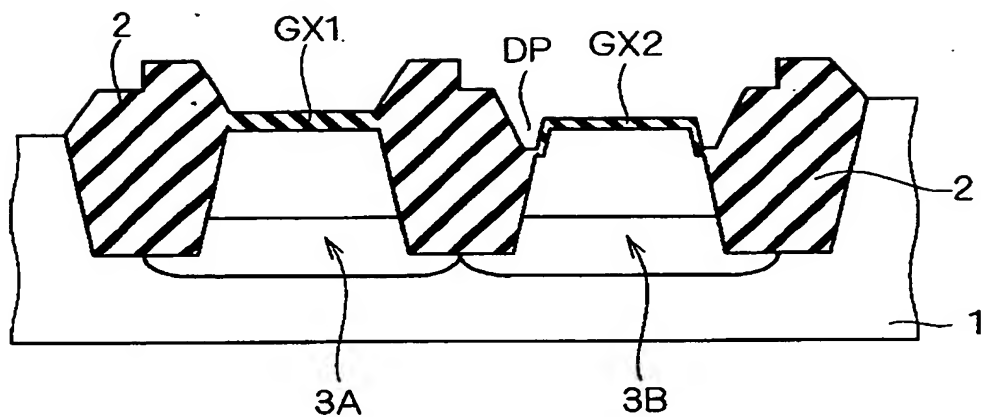
【図17】



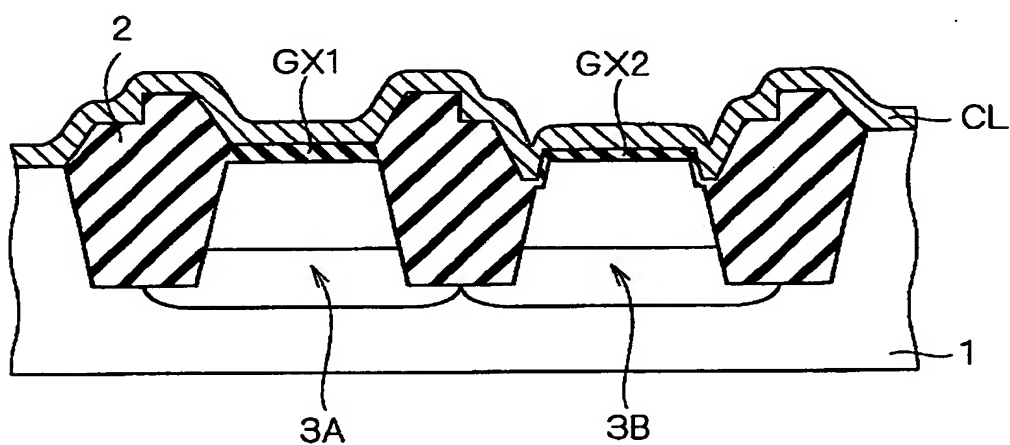
【図18】



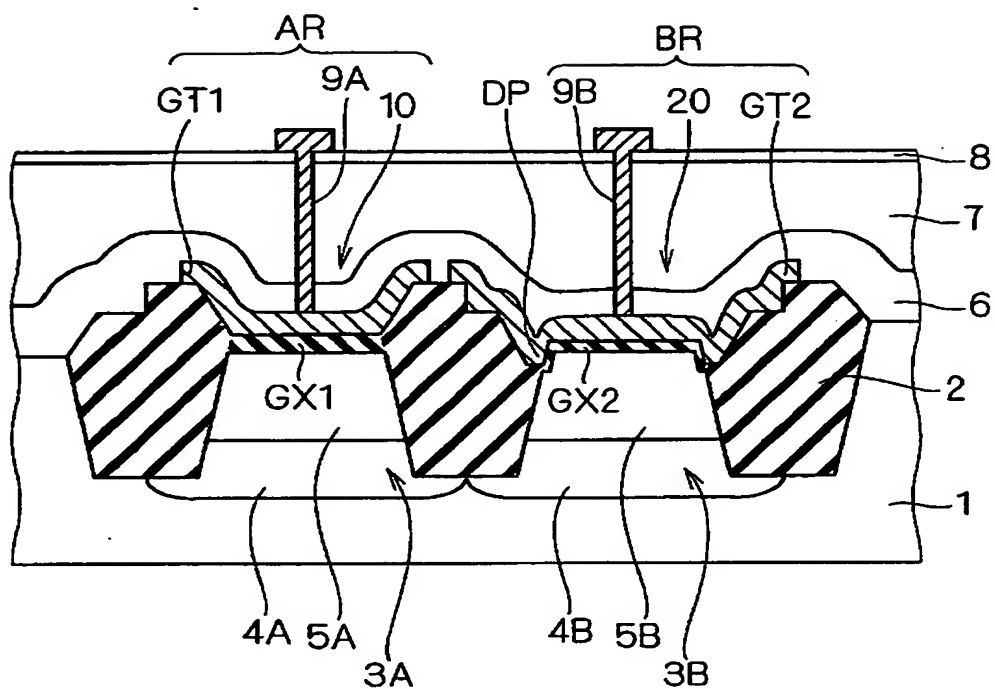
【図 19】



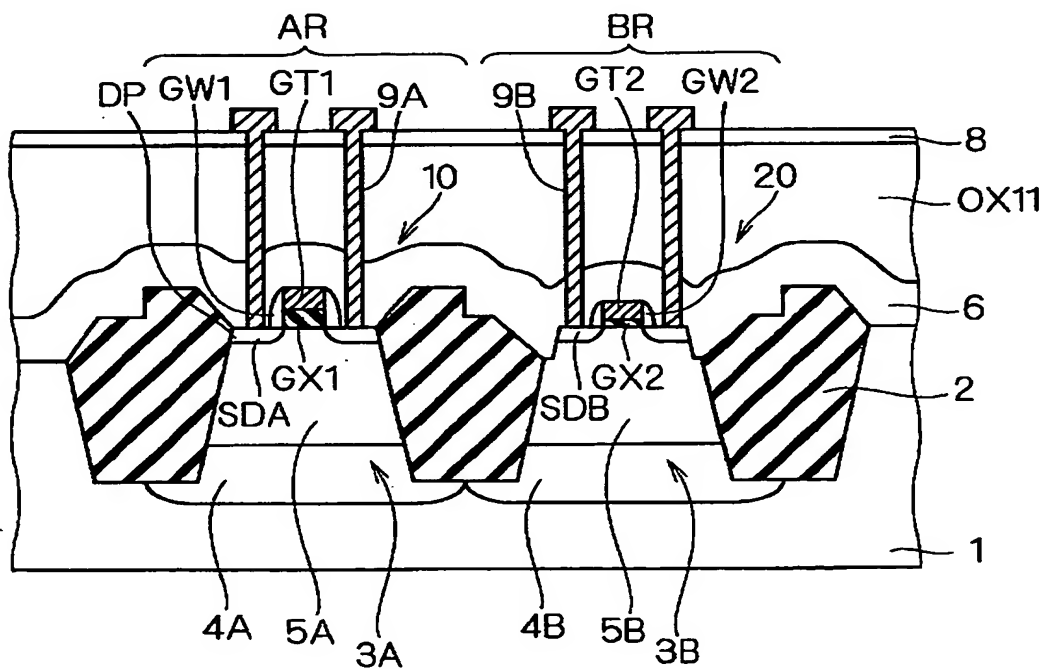
【図 20】



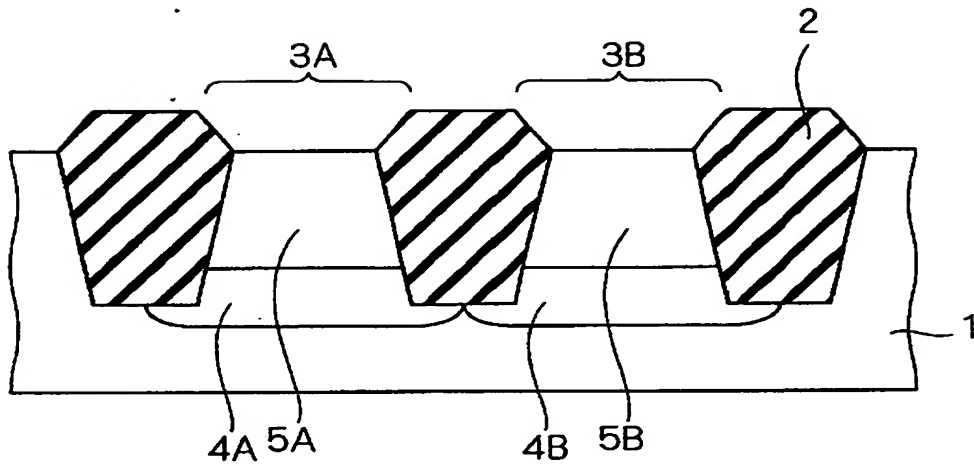
【図 2 1】



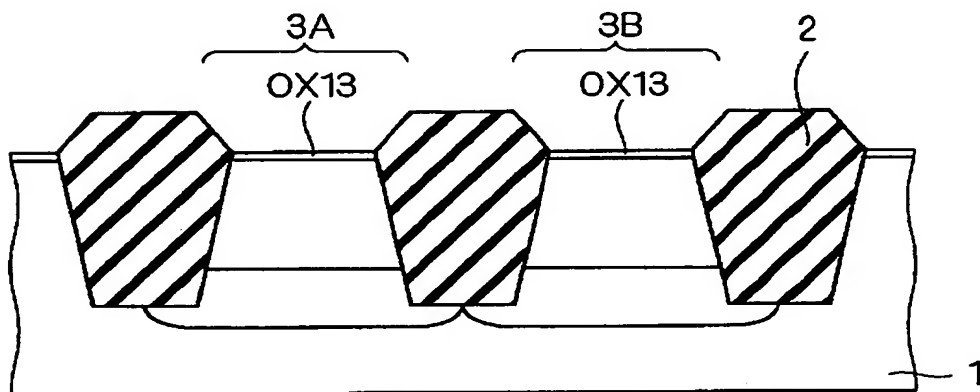
【図 2 2】



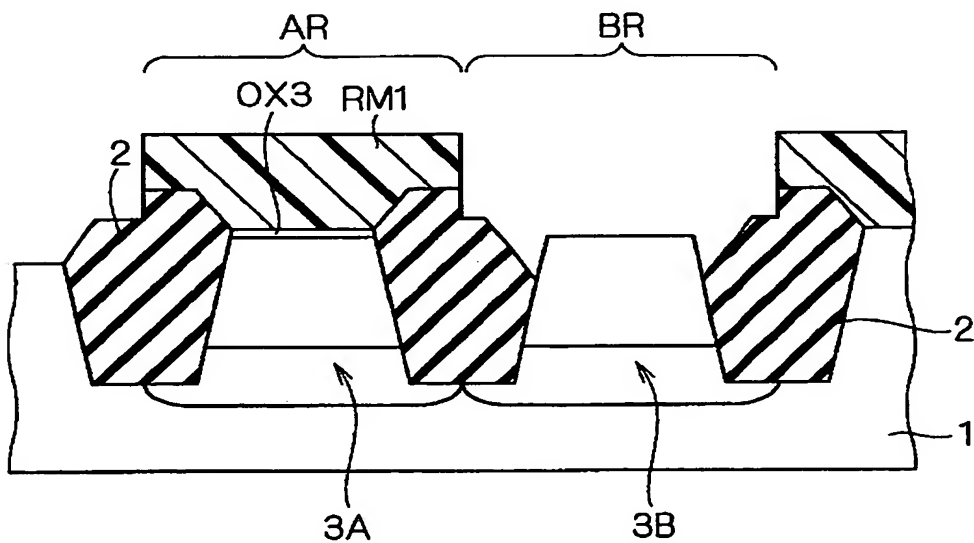
【図 2 3】



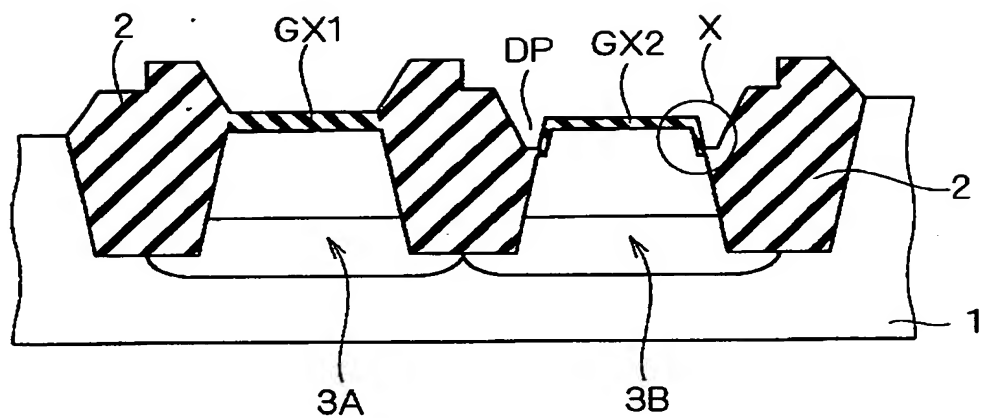
【図 2 4】



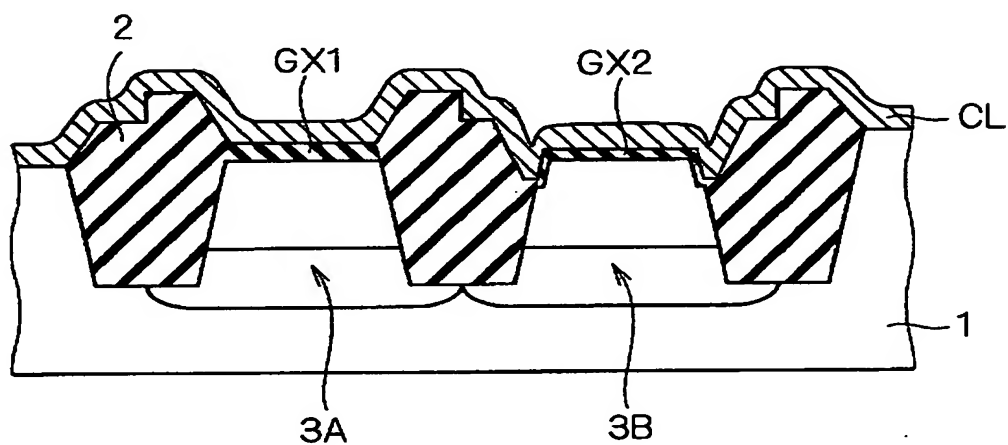
【図 2 5】



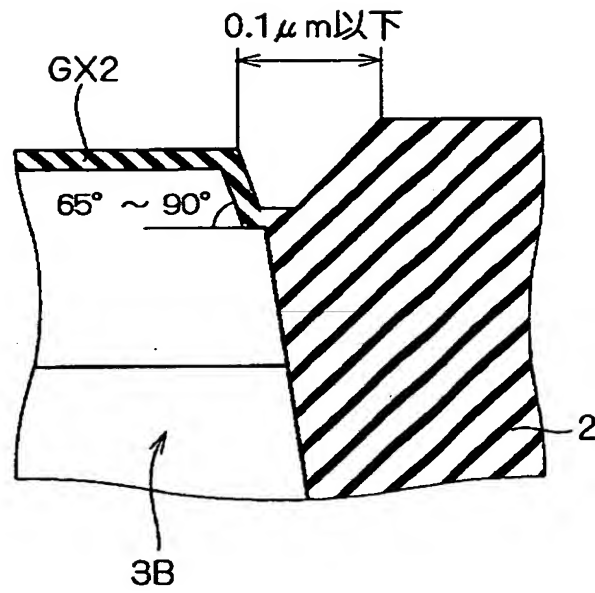
【図 2 6】



【図 2 7】



【図 2 8】



【書類名】 要約書

【要約】

【課題】 デュアルオキサイドプロセスを用いて形成されたMOSトランジスタにおいて、しきい値電圧のばらつきを低減して、製造歩留まりを向上した半導体装置およびその製造方法を提供する。

【解決手段】 活性領域3 Aおよび3 Bの半導体基板1の主面上には、それぞれ、厚さの異なるゲート酸化膜GX 1およびGX 2が配設され、ゲート酸化膜GX 1およびGX 2の上部にはゲート電極GT 1およびGT 2が配設されている。そして、厚膜部ARの活性領域3 Aを規定する分離絶縁膜2のMOSトランジスタ100側の端縁部が挟れており、活性領域3 Aの端縁部に窪み部DPが形成されているが、薄膜部BRにおいては分離絶縁膜2のMOSトランジスタ200側の端縁部は挟れていない構造となっている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社